



## Evaluación de la inmunidad de sistemas reconfigurables en ambientes expuestos a interferencias electromagnéticas

Gatti, E.<sup>(i)</sup>; Garcia, L.<sup>(i)</sup>; Lupi, D.<sup>(i)</sup>; Perri, P.<sup>(i)</sup>; Hernandez, F.<sup>(ii)</sup>; Vargas, F.<sup>(iii)</sup>

<sup>(i)</sup>INTI-Electrónica e Informática

<sup>(ii)</sup>Universidad ORT / URSEC – Montevideo – Uruguay

<sup>(iii)</sup>Dept. Ing. Eléctrica - Univ. Católica- PUCRS – Porto Alegre – Brasil

### Introducción

El ambiente electromagnético (EM) en el cual los sistemas electrónicos tienen que funcionar se están convirtiendo cada vez más hostil mientras la dependencia de la electrónica está en aumento y cada vez más extensa. Es fundamental para la aceptación de los sistemas como adecuado a su propósito la necesidad de asegurar que no ocurran alteraciones de su funcionamiento debido al ambiente EM. Así, es importante entender como las futuras tecnologías impactan en los sistemas complejos de nueva generación systems-on-chips (SOCs). Se hace notar que aunque la reducción de los niveles de las tensiones de fuente de alimentación (al menos para la parte del núcleo) aumenta la esperanza de menor emisión EM (conducida y radiada), este beneficio es inmediatamente compensado por: (a) un aumento drástico en el número de transistores de conmutación, combinado con flancos rápidos de conmutación debido al aumento de la frecuencia de reloj. Así, aumenta el ruido RF total que puede afectar los bloques funcionales dentro de la pastilla misma o algún circuito integrado (IC) cercano; y (b) la menor tensión de fuente de alimentación minimiza los márgenes de ruido en los cuales los IC fueron diseñados para operar. De esta manera, se traduce que los bloques funcionales críticos dentro del IC sean más susceptibles a las interferencias electromagnéticas (EMI).

En vista de los dispositivos reconfigurables, una FPGA (Field Programmable Gate Arrays) basada en tecnología SRAM presenta la ventaja intrínseca de que es posible reconfigurarse fácilmente.

La desventaja del uso de los dispositivos basados en SRAM es que estos componentes son muy susceptibles a fallas transitorias (Single Event Upsets)

Considerando lo anteriormente expuesto, en este trabajo se trata de observar el

comportamiento de una FPGA basada en SRAM operando en un ambiente expuesto a interferencias electromagnéticas (EMI). Para realizar esto, se utilizó una placa comercial, conteniendo una FPGA y memorias SRAM configuradas con un software embebido. Se han utilizado tres técnicas tradicionales en el campo de las pruebas de circuitos digitales, Signature Analysis-Driven Refresh (SADR) <sup>[1]</sup>, Control Flow-Checking by Software Signature (CFCSS) <sup>[2]</sup>, y Error Capturing Instructions (ECI) <sup>[3]</sup>, para monitorear el comportamiento de la FPGA y el grado de tipo de falla Single Event Upset (SEU) entre fallas que afectan la lógica o fallas que afectan a los elementos de configuración de las memorias. A continuación se detalla el banco de ensayo, el mecanismo de detección de fallas y los resultados obtenidos.

### Metodología / Descripción Experimental

El experimento descrito más abajo está basado en la normativa internacional IEC 61000-4-20<sup>[4]</sup>, el cual reglamenta el ensayo EMI en una celda TEM. Un ensayo típico es aquel en donde se aplica un campo eléctrico incidente igual a 10V/m, en el rango de frecuencias de 80MHz a 1GHz, con 80% de índice de modulación de amplitud, y con un salto de frecuencia incremental del 1%. Adicionalmente, se aplicó un campo especial de 60 V/m a fin de realizar un ensayo exigente al sistema. Se han realizado mediciones del sistema en funcionamiento, dentro de la celda GTEM con los equipos usuales asociados (generador de señales, amplificador de RF, sensor isotrópico de campo, acoplador direccional) (ver Fig1.)

Para medir el campo EM dentro de la celda GTEM, fue usado un sensor de campo isotrópico próximo al sistema bajo ensayo, el cual provee mediciones en tiempo real a través de una conexión serial a una PC. Durante la sesión de ensayo, esta PC también monitorea el sistema bajo ensayo a través de otra conexión serial. (ver Fig2.)

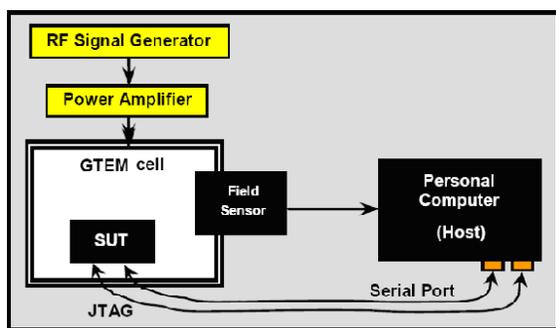


Fig. 1: Esquema general y equipos

Con el propósito de observar el comportamiento de la FPGA bajo campos EM, el sistema bajo ensayo se ha dispuesto como sigue:

- a) Fue utilizada una placa comercial que contenía una FPGA<sup>[5]</sup> Xilinx por un lado, y dos memorias SRAM por otro lado. Esta placa la llamamos FPGA A
- b) El software embebido de MicroBlaze (v4.00a)<sup>[6]</sup>, de Xilinx, fue cargado en la FPGA A, donde el código de aplicación y datos fueron almacenados en las memorias SRAM;
- c) Con el propósito de minimizar la complejidad del ensayo, el banco de ensayo fue implementado solamente con una FPGA, (FPGA A). Bajo este escenario la FPGA A ejecuta

únicamente el código de aplicación, mientras la PC ejecuta los procesos PRPG (Pseudo-Random Pattern Generator), PSG (Parallel Signature Generator) y RDB&R (Readback and refresh).

### Resultados

El sistema bajo prueba descrito anteriormente ejecuta tres aplicaciones: (a) Generador de números primos (PNG), (b) Multiplicaciones matriciales (MM); y (c) filtro digital (DF). Para este ensayo, el sistema bajo prueba fue envuelto con un film aislante y luego, blindado con un papel de cobre conectado a tierra de dos maneras distintas:

a) La placa comercial fue totalmente cubierta y blindada por el material mencionado mas arriba, excepto el integrado FPGA, el cual fue dejado sin blindaje mediante una ventana que se ajustaba al tamaño del encapsulado. A través de esta ventana, se radió ondas electromagnéticas durante el ensayo. (referimos a esta configuración como "Ventana Abierta"). Con esta configuración, se supuso que la mayor cantidad de fallas inducidas en la FPGA fueran causadas por el efecto de acoplamiento entre el campo EM y el sustrato y pistas de la FPGA. Este efecto de acoplamiento debería aumentar el ruido de tierra dentro de la FPGA, el cual a su vez aumenta los retardos de propagación en los caminos críticos.

b) La placa comercial fue dejada sin cobertura, excepto la FPGA, la cual fue envuelta con un film aislante y blindada con un papel de cobre que se ajustaba al tamaño de su encapsulado. Luego, se radió ondas electromagnéticas EMI a todo el conjunto menos las memorias SRAM. Por medio de esto, se supuso que la mayoría de las fallas que afectaban a la FPGA fueran causadas por el efecto de acoplamiento entre el campo EM y las pistas y conectores de la placa y luego, conducida hacia los pines de entrada de la FPGA. A esta configuración, que fue el complemento de la "Ventana abierta" se la denominó "Ventana Cerrada"

Tabla 1. Resumen del ensayo para las configuraciones de "Ventana abierta" y "Ventana Cerrada"

Código de Aplicación	"Ventana Abierta"			"Ventana cerrada"		
	Errores de Configuración (%)	Errores Lógicos (%)		Errores de Configuración (%)	Errores Lógicos (%)	
	Detectada por SADR	Detectada por CFCSS	Detectada por ECI	Detectada por SADR	Detectada por CFCSS	Detectada por ECI
PNG	100	33.33	100	100	28.66	NA
MM	100	12.50	NA	100	33.33	NA
DF	100	NA	NA	100	33.33	NA
Promedio (%)	100	22.92	100	100	31.84	0

La tabla 1 resume los tipos de fallas observadas para los tres códigos de aplicación (PNG, MM y DF) corriendo en el procesador MicroBrazo. "Errores de Configuración" indica aquellas fallas que cambia la configuración del flujo de bits en la FPGA, y "Errores Lógicos" indica aquellas fallas que conduce al procesador MicroBrazo en una ejecución errónea del control de flujo.



Fig. 2: Ensayo

### Conclusiones

Los resultados obtenidos demuestran el comportamiento de una FPGA basada en tecnología SRAM cuando opera bajo ambiente EMI. Los elementos de memoria usados por la lógica funcional de la FPGA son muchas veces más susceptibles que aquellas usadas en configuración lógica hardware. Ya que la mayor parte de las fallas (~75%) que afectan a la configuración del flujo de bits, resultaron en cambios de bits y caídas del sistema., las aproximaciones desarrolladas de acuerdo a la presunción de falla única, no son adecuadas para afrontar fallas inducidas por EMI. La observación de fallas de múltiples bits puede explicarse debido a los mecanismos de acoplamiento con las líneas de alimentación y planos a nivel de placa e integrado, en particular GND (ruido de tierra), el cual simultáneamente afecta varios elementos de memoria. Esta gran cantidad de fallas de múltiples bits también explica la baja capacidad de detección presentada por las técnicas CFCSS y ECI.

### Referencias

- [1] Bezerra, E. A.; Vargas, F.; Gough, M. P. Improving Reconfigurable Systems Reliability by Combining Periodical Test and Redundancy Techniques. *Journal of Electronic Testing: Theory and Applications – JETTA*. Kluwer Academic Publishers, New York, USA. Vol. 17, May 1st, 2001, pp. 163-174.
- [2] Oh, N.; Shirvani, P. P.; McCluskey, E. J. *Control-Flow Checking by Software Signatures*. *IEEE Transactions on Reliability*. Vol. 51, No. 2, March 2002. pp. 111-122.
- [3] Miremadi, G.; Torin, J. *Evaluating Processor-Behavior and Three Error-Detection Mechanisms Using Physical Fault-Injection*. *IEEE Transactions on Reliability*. Vol. 44, No. 3, September 1995. pp. 441-454.
- [4] IEC 61000-4-20 "Testing and measurement techniques - Emission and immunity testing in transverse electromagnetic TEM waveguides"
- [5] 200,000-gate Xilinx Spartan-3 XC3S200 FPGA in a 256-ball thin Ball Grid Array, made on a 90nm eighth layer metal process.
- [6] MicroBrazo™ is a true 32-bit soft RISC processor optimized for use in Xilinx's FPGA architectures. The processor's main memory interface conforms to the IBM CoreConnect specification for the On-Chip Peripheral Bus (OPB).

Para mayor información contactarse con:  
nombre del autor de contacto – egatti@inti.gov.ar