

Diseño de Memoria SRAM con Interfaz de Acceso Serie

Ceminari Paola, Osterman Niria, Di Federico Martín, Julian Pedro, Mandolesi Pablo
Departamento de Ingeniería Eléctrica y de Computadoras, Universidad Nacional del Sur,
Bahía Blanca, Buenos Aires, Argentina.

Abstract—El presente trabajo describe el diseño de una memoria SRAM de 256 bits la cual consta de 32 filas de 8 bits cada una. Este circuito posee una interfaz que permite el ingreso de datos, direcciones y señales de control en forma serie, con el fin de minimizar la cantidad de pines entrada-salida utilizados.

Index Terms—memoria SRAM, layout, interfaz serie.

I. INTRODUCCIÓN

Todo sistema computacional, independientemente de su tamaño, necesita memoria para almacenar datos e instrucciones de programa.

La mayor parte de un chip de memoria consiste en un arreglo de celdas en las que se almacena la información. Cada celda de memoria está conectada a una línea de fila y a una línea de columna y es capaz de almacenar un bit. Las líneas de columna son precargadas en los momentos en los que la memoria no está siendo escrita ni leída. La activación de una de las líneas de fila se hace a través de un decodificador. Cuando una fila está activa, puede ser escrita o leída y para leer su contenido sin modificarlo se utilizan amplificadores de medición, uno por cada columna.

Con el fin de minimizar la cantidad de pines utilizados, se diseñó una interfaz que permite el ingreso de datos, direcciones y señales de control en forma serie.

II. MEMORIAS RAM ESTÁTICAS

Las memorias RAM estáticas (SRAM) son capaces de mantener los datos mientras están alimentadas, sin necesidad de circuito de refresco.

La Fig. 1 muestra la arquitectura típica de una celda SRAM capaz de almacenar un bit, denominada *Celda 6T* [4]. El valor del bit se almacena utilizando la propiedad de biestabilidad de un par de inversores realimentados positivamente. Se utilizan dos transistores de paso para tener acceso al dato almacenado en la celda en ciclos de lectura y escritura.

La línea de palabra (WL) es compartida por todas las celdas que componen una misma fila en el arreglo de memoria. La línea de bit BL y su complemento BL' son compartidas por todas las celdas que componen una misma columna dentro del arreglo.

Los transistores $M1 - M2$, $M3 - M4$ conforman los dos inversores. Éstos se dimensionan de manera que la tensión umbral de conmutación de los inversores (V_m) sea $\frac{V_{DD}}{2}$. Los transistores $M5$ y $M6$ conforman las llaves de paso que permiten el acceso a la celda, conectando las líneas Q y Q' a

las líneas de bit en los momentos en los que WL se encuentra activa.

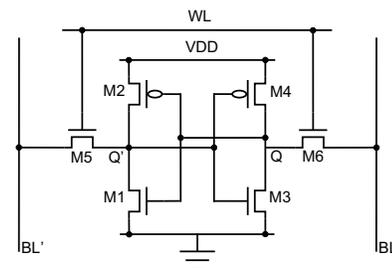


Fig. 1. Celda 6T

III. DISEÑO

- 1) *Dimensionamiento de la Celda 6T*: Durante la lectura, las líneas de bit se encuentran inicialmente precargadas a $V_{DD}/2$. La diferencia de tensión entre ellas y el valor almacenado en la celda produce la carga y descarga de las capacidades de éstas líneas. La celda debe ser diseñada de manera que este cambio en BL y BL' sea lo suficientemente pequeño como para que no altere el valor almacenado en la celda. Teniendo en cuenta esta restricción, se calcula la relación entre los anchos de los transistores $M1$ y $M5$ de manera que la tensión en el nodo Q' sea en todo momento menor a la tensión umbral del transistor $M3$, evitando su encendido, y por consiguiente, el cambio en el dato almacenado. Dicha relación debe ser:

$$W5 < 0.47W1 \quad (1)$$

A partir de la operación de escritura, se calcula la relación que debe mantener el ancho de los transistores $M2$ y $M4$ para almacenar en la celda el valor presente en las líneas de bit. Dicha relación debe ser:

$$W6 > 1.3W2 \quad (2)$$

En la Tabla I se muestran las dimensiones de los transistores que componen la *Celda 6T*.

- 2) *Precarga*: Para realizar la precarga de las celdas, se conecta un transistor PMOS a cada línea de bit. El gate de estos transistores se conecta a un circuito combinacional cuya salida es cero en los momentos en

	M1	M2	M3	M4	M5	M6
L	2λ	2λ	2λ	2λ	2λ	2λ
W	17λ	6λ	17λ	6λ	8λ	8λ

TABLE I
DIMENSIONAMIENTO DE LA CELDA 6T. ($\lambda = 0.3 \mu m$).

los que no se está realizando una escritura o lectura de memoria, y el source a un pin externo del chip al que ingresan $2.5V$. Estos transistores se hacen más anchos que los demás ($W = 50\lambda$), de manera que tengan mayor capacidad de corriente y la precarga se realice rápidamente.

- 3) *Amplificador de Medición:* Para realizar la lectura de un valor almacenado en la celda se utiliza un amplificador como el que se muestra en la Fig. 2. Éste está conformado por dos etapas, un amplificador diferencial y una etapa de alta ganancia. La primera se encarga de sensar la diferencia entre las líneas BL y BL' producida durante un ciclo de lectura de memoria, y la última amplifica esta diferencia dando como resultado valores de tensión correspondientes a los niveles lógicos 0 o 1. La señal EL funciona como habilitación, se activa en los momentos en los que se realiza una operación de lectura.

En la Tabla II se muestra el dimensionamiento de los transistores que componen el amplificador de medición.

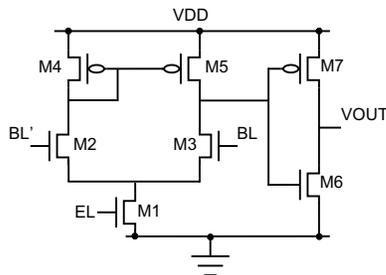


Fig. 2. Amplificador de medición.

	M1	M2	M3	M4	M5	M6	M7
L	2λ	2λ	2λ	2λ	2λ	2λ	2λ
W	6λ	4λ	4λ	20λ	20λ	10λ	20λ

TABLE II
DIMENSIONAMIENTO DE AMPLIFICADOR DE MEDICIÓN ($\lambda = 0.3 \mu m$).

- 4) *Decodificadores:* Los decodificadores de fila se utilizan para activar los transistores de paso ante operaciones de lectura y escritura.

Para realizar el direccionamiento, se dividió la memoria en cuatro bloques de 8 direcciones. La decodificación de cada uno de estos bloques se realiza utilizando un decodificador de 3 a 8 con salida negada, es decir que al estar activas tienen valor lógico bajo, y una lógica que los diferencia entre ellos. En la Fig. 3 se muestra el esquemático del decodificador del primer bloque.

El bus de direcciones, como se muestra en la figura, es de 8 bits permitiendo la posible expansión de la memoria a 2 Kbits.

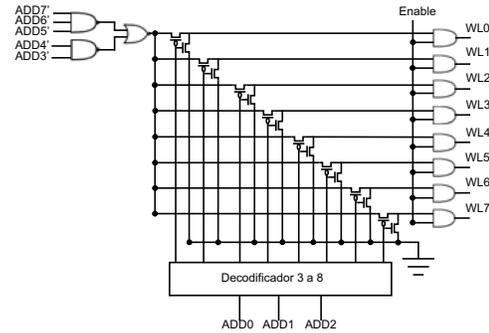


Fig. 3. Decodificador del primer bloque.

- 5) *Buffers y llaves de paso:* Tanto en la entrada de datos, como en la salida de los amplificadores de medición se colocan buffers, para mantener los niveles adecuados de las señales a ser escritas y leídas. Además, se colocan llaves de paso en la entrada, que permiten conectar el bus de entrada a las líneas de bit sólo cuando se está realizando una operación de escritura.
- 6) *Interfaz de acceso serie:* El circuito diseñado está formado por tres bloques fundamentales: Un registro de desplazamiento y latches en donde se almacena la palabra de control; contadores que cuentan los bits que ingresan; y la lógica que genera las habilitaciones para enviar la dirección y el dato a la memoria.

El circuito consta de tres entradas: la entrada de reloj (CLK), la de habilitación (E) y la de datos y direcciones (PC). El diagrama temporal de estas señales se muestra en la Fig. 4.

La señal de reinicio del circuito (RST) se genera negando la señal de habilitación.



Fig. 4. Diagrama temporal.

- 7) *Protocolo de transmisión:* La palabra de control está conformada por 17 bits que se envían en sincronismo con el reloj. El bit menos significativo indica una operación de lectura si se encuentra en nivel lógico bajo, o de escritura en el caso contrario. Los 8 bits más significativos de la palabra de control corresponden a la dirección y los 8 bits siguientes al dato a escribir en la memoria.

- 8) *Lógica de estados:* Con el fin de realizar la lógica del circuito se implementó una máquina de estados de tipo Moore, en la cual las salidas dependen solo del estado presente. Está formada por cinco estados:

- Estado Inactivo(I): se espera por una señal de habilitación (E) para comenzar con un ciclo de escritura

o de lectura. Cuando se activa E se obtiene el valor del bit menos significativo de la palabra de control. Si es uno, el estado siguiente es *escritura*, en caso contrario *lectura*.

- Escritura(W): en este estado se activa la cuenta de un contador, el mismo cuenta 17 períodos de reloj y al finalizar genera una señal de fin de cuenta (FC), indicando que el registro de desplazamiento está completo y el dato listo para ser enviado a la memoria, alcanzando el siguiente estado, *Datoescrito*.
- Dato escrito(WD). En WD se vuelve al estado inactivo si la señal de habilitación vuelve a nivel lógico bajo. Se regresa al estado de escritura o de lectura en caso que la habilitación se mantenga en estado lógico alto y se reciba una nueva palabra de control.
- Lectura(R). En R se activa la cuenta de un contador que se incrementa con cada flanco ascendente de reloj. Cuando la cuenta llega a 8 se activa la señal de fin de cuenta (FC) que genera el paso al siguiente estado, WR, indicando que el registro de desplazamiento está completo y la dirección puede ser enviada hacia la memoria.
- Dato Leído(WR). En este estado la dirección es enviada a la memoria y el dato está listo para ser leído. Se regresa al estado de escritura o de lectura en caso que la habilitación se mantenga en estado lógico alto y se reciba una nueva palabra de control.

A partir de la máquina de estados, se generó la tabla de verdad y se obtuvo la lógica a implementar.

- 9) *Contadores y generador de fin de cuenta*: El circuito consta de dos contadores síncronos, uno de cuatro bits que se utiliza durante la escritura y otro de tres bits para la lectura. Los mismos tienen la función de generar la señal de fin de cuenta cuando el registro de desplazamiento se completa con una palabra de control válida. Se reinician en caso que se genere un reset externo o si se alcanza el fin de cuenta de alguno de ellos.

La lógica que rige el bloque generador de fin de cuenta es una combinación de lógica secuencial y combinatorial. La lógica combinatorial se encarga de generar un nivel lógico alto en el caso que los contadores alcancen el valor de fin de cuenta que corresponde a una operación de lectura o escritura. A continuación, se coloca un multiplexor que selecciona, según la operación, la salida de la lógica combinatorial. A la salida del multiplexor se coloca un flip-flop para lograr que el circuito mantenga el sincronismo.

- 10) *Registro de desplazamiento y latches*: Se implementó un registro de desplazamiento de 17 bits con flip-flops D. Estos registros, sincronizados con la señal de reloj, reciben la entrada de datos y direcciones. Según sea una operación de lectura o escritura luego de 7 o 15 períodos de reloj respectivamente, el registro se completa. La salida de cada uno de los flip-flops que componen el registro de desplazamiento está conectada a la entrada

de un latch el cual se habilita cuando el registro de desplazamiento está completo enviando los datos y las direcciones a la memoria. Los latches diseñados están sincronizados por reloj, son implementados a través de un flip flop D y un multiplexor.

IV. IMPLEMENTACIÓN FÍSICA

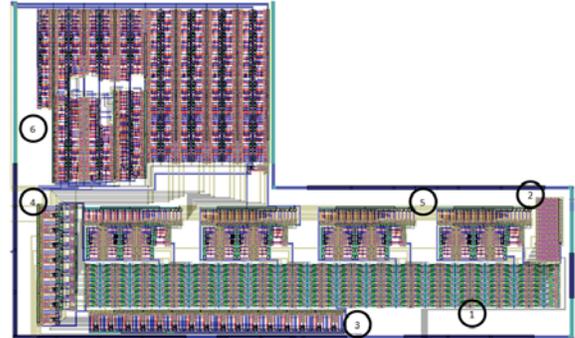


Fig. 5. Conjunto SRAM e Interfaz Serie.

- 1) Arreglo de celdas 6T.
- 2) Transistores de precarga.
- 3) Amplificadores de medición y buffers de salida.
- 4) Buffers de entrada.
- 5) Decodificadores.
- 6) Interfaz de acceso serie.

V. CONCLUSIÓN

Este trabajo mostró el diseño e implementación de una memoria SRAM de 256 bits con una interfaz de acceso serie. Esta forma de acceder a la memoria da una ventaja en aquellos casos en que se está limitado en la cantidad de puertos de entrada-salida con los que se cuenta. La desventaja es el incremento en el tiempo requerido para una operación de lectura o escritura en la memoria.

El diseño se envió para la fabricación en un proceso *ON C5N* de MOSIS.

REFERENCES

- [1] Thomas Schubert, Jr. Ernest Kim, Active and Nonlinear Electronics, John Wiley and Sons, 1996.
- [2] Jan M. Rebaey, Anantha Chandrakasan, Borivoje Nikolic, Digital Integrated Circuits - A design perspective, Pearson, 2004.
- [3] Neil H. E. Weste, Kamran Eshraghian, Principles of CMOS VLSI Design - A systems Perspective, Addison-Wesley, 1993.
- [4] Sedra y Smith, Microelectronics Circuits, Oxford University Press, 2004.