

Diseño de un Amplificador Operacional

Osterman Niria, Ceminari Paola, Di Federico Martín, Oliva Alejandro

Análisis y Diseño de Circuitos Analógicos II,

*Departamento de Ingeniería Eléctrica y de Computadoras, Universidad Nacional del Sur,
Bahía Blanca, Buenos Aires, Argentina.*

Resumen—En este trabajo se muestra el diseño y layout de un amplificador operacional, en tecnología de $0,5\mu m$. El diseño se realizó mediante el método G_m/I_d , el cual se basa en la operación de los transistores en regiones de corriente sub-umbral.

Index Terms—Amplificador Operacional, layout.

I. INTRODUCCIÓN

UN operacional amplifica una tensión diferencial entre dos terminales de entrada, teniendo esta característica el beneficio de rechazar señales comunes a ambos puertos, como el ruido. Existen distintas topologías de diseño de amplificadores operacionales, dentro de las cuales se optó por la de dos etapas.

El trabajo está organizado de la siguiente manera: en la sección dos se mencionan las características de un amplificador operacional de dos etapas, y se obtiene el valor de la movilidad de portadores (μ), capacidad del óxido (C_{ox}) y tensión de Early (V_A) de los transistores MOS que lo componen, a partir de sus curvas características. En la sección tres se realiza el dimensionamiento de los transistores a partir del modelo G_m/I_d . En la sección cuatro se muestran las simulaciones realizadas. Por último, en la sección cinco, se muestra el layout realizado.

II. AMPLIFICADOR OPERACIONAL DE DOS ETAPAS

La configuración de dos etapas se muestra en la Fig. 1. La primer etapa consiste en un par diferencial con carga activa y salida simple; y la segunda en una configuración source común, que aumenta la ganancia total del circuito y mejora la excursión a la salida [1].

Los transistores M_8 , M_5 y M_7 conforman una fuente de corriente espejo alimentada por una corriente de referencia I_{ref} que se genera conectando una resistencia de alta precisión (externa al chip) a una tensión fija.

La ganancia de tensión de esta configuración está dada por el producto las ganancias de las dos etapas que la componen [1].

$$A_v = v_o/v_i d = g_{m1}(r_{o2}||r_{o4})g_{m6}(r_{o6}||r_{o7}) \quad (1)$$

Donde gm es la transconductancia de los transistores, y r_o su resistencia de salida.

El sistema posee dos polos y un cero. La capacidad de compensación, C_c , estabiliza el sistema: su efecto es separar los polos, por efecto Miller, logrando una pendiente de $20 \frac{dB}{dec}$

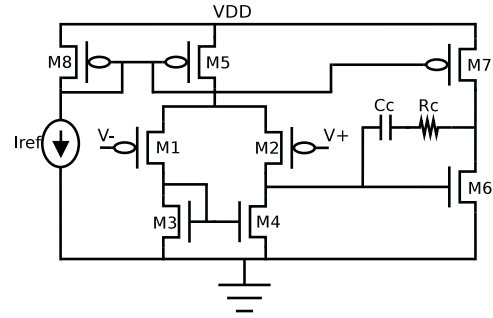


Figura 1. Amplificador Operacional de dos etapas

en la respuesta en frecuencia, hasta frecuencias mayores a la de ganancia unitaria, f_t .

$$f_t = \frac{G_{m1}}{2\pi C_c} \quad (2)$$

La fase se compensa colocando una resistencia en serie con el capacitor de compensación (R_C), su efecto es mover el cero del plano derecho hacia frecuencias altas, y así evitar la fase adicional que aporta. [1]

$$R_c = 1/G_{m2} \quad (3)$$

Donde G_{m1} y G_{m2} son las transconductancias de la primer y segunda etapa respectivamente.

El valor de la capacidad de compensación, junto con la corriente de polarización del par diferencial, definen el slew rate (SR). [1]

$$SR = 1/C_c \quad (4)$$

$$SR = 2\pi f_t V_{ov} \quad (5)$$

siendo $V_{ov} = V_{gs} - V_T$.

Una de las razones por las que la primer etapa de un amplificador operacional se implementó con transistores PMOS es que con una corriente de polarización fija se obtienen mayores V_{ov} al utilizar este tipo de dispositivos. La segunda etapa también influye en el slew rate: los transistores NMOS tienen una transconductancia mayor que la de los PMOS, dando como resultado un elevado valor de f_t .

II-A. Modelado de transistores

El modelo matemático básico de un transistor MOS es

$$i_D = 1/2\mu C_{ox} W/L (v_{GS} - V_{TH})^2 \quad \text{Saturación} \quad (6)$$

$$i_D = \mu C_{ox} W/L [(v_{GS} - V_{TH})v_{DS} - 1/2v_{DS}^2] \quad \text{Triodo} \quad (7)$$

Donde i_D corresponde a la corriente de drain, W y L al ancho y largo del transistor, v_{GS} a la tensión del gate, v_{DS} a la tensión entre drain y source, y V_{TH} a la tensión umbral.

Los parámetros μ y C_{ox} dependen del proceso de fabricación y del tipo de transistor (NMOS ó PMOS), para hallarlos se simuló un transistor de cada tipo bajo distintas condiciones de v_{DS} y v_{GS} , con un tamaño de $L = 6\mu m$ y $W = 12\mu m$. El modelo utilizado al realizar la simulación fue provisto por MOSIS, y corresponde a un proceso de $0,5\mu m$.

A partir de 6 se observa que la función $\sqrt{i_D}$ vs v_{GS} es una recta, cuya pendiente es $\sqrt{1/2\mu C_{ox}W/L}$. Ésta pendiente se determinó gráficamente desde las simulaciones obtenidas y a partir de su valor se calculó el producto μC_{ox} para cada transistor, obteniendo los siguientes resultados:

$$\begin{aligned}\mu C_{oxn} &= 83,56 \times 10^{-6} \text{ A/V}^2 \\ \mu C_{oxp} &= 28 \times 10^{-6} \text{ A/V}^2\end{aligned}$$

La tensión umbral, V_{TH} , también se determinó a partir de las curvas i_D vs v_{GS} , como el valor de tensión a partir del cual comienza a circular corriente.

$$\begin{aligned}V_{THn} &= 0,73V \\ V_{THp} &= -0,92V\end{aligned}$$

En la práctica, a diferencia de lo indicado en la ecuación 6, la corriente no es contante en la región de saturación. Esto se debe al efecto de modulación de longitud del canal, que se modela como una resistencia de salida finita, R_o .

$$R_o = V_A/I_D \quad (8)$$

Donde V_A es la tensión de Early, un parámetro que depende del proceso de fabricación y puede ser determinado gráficamente extrapolando la recta correspondiente a la región de saturación. El punto en el cual se produce la intersección entre esta recta y el eje v_{DS} es $-V_A$. A partir de la simulación se halló el valor de la tensión de Early de ambos transistores:

$$\begin{aligned}V_{An} &= 406,98 \text{ V} \\ V_{Ap} &= 232,2 \text{ V}\end{aligned} \quad (9)$$

El modelo clásico del transistor MOS, 6 y 7, considera que la corriente de drain es cero cuando la tensión entre gate y source es menor que la tensión de umbral. Sin embargo, en esta región el transistor MOS presenta una relación exponencial entre la tensión de control y la corriente de salida [2]. Dentro de la zona sub-umbral existen tres regiones de operación, determinadas por la cantidad de electrones presentes en el canal: Inversión Débil, Inversión Moderada e Inversión Fuerte. En el diseño de circuitos analógicos integrados es conveniente que los transistores operen en la región de corriente sub-umbral.

II-B. Método de diseño G_m/i_D

El método G_m/i_D es una herramienta de diseño que utiliza como elemento guía un único parámetro, el cociente G_m/i_D [3]. En inversión fuerte este cociente toma comúnmente valores menores a $5V^{-1}$, en inversión débil presenta su valor

máximo, que generalmente es del orden de $30V^{-1}$, los valores intermedios corresponden a la región de inversión moderada. En la curva G_m/i_D vs $i_D/(W/L)$, mostrada en la Fig. 2, se tiene un nivel de inversión determinado, y para una corriente de drain dada es posible calcular el cociente W/L correspondiente.

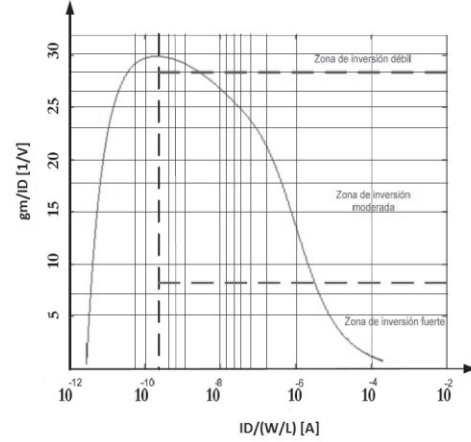


Figura 2. Método de diseño G_m/i_D

Cada bloque del amplificador operacional posee niveles de inversión óptimos según su función [4].

Circuito de polarización: Los espejos de corriente tienen un mejor rendimiento cuando los transistores de su topología trabajan en un nivel de inversión fuerte.

Par diferencial: Su punto de operación óptimo es en inversión débil (G_m/i_D máximo). Sin embargo, los transistores operando en inversión débil suelen necesitar relaciones W/L muy grandes, ocupando mucha área de silicio y generando grandes capacidades parásitas. Por estas razones, es común polarizar el par diferencial en inversión moderada, tan cerca de la región de inversión débil como el área disponible lo permita.

Carga activa: Estos transistores generalmente se polarizan en inversión fuerte, donde hay un mejor apareamiento de las corrientes de Drain.

Etapas source común a la salida: Este bloque representa la segunda etapa de ganancia, y se encarga de entregar potencia a la carga, por lo que se polariza con más corriente. Por las mismas razones que en el par diferencial, la región óptima de funcionamiento es en inversión moderada.

III. DISEÑO

El dimensionamiento de los transistores se realizó a partir de método G_m/i_D , conociendo los niveles de inversión de cada etapa y fijando una corriente de polarización. Para el diseño se propuso una corriente de referencia de $5\mu A$, una ganancia de 3000 para la primera etapa y una frecuencia de ganancia unitaria $f_t = 3Mhz$, a partir de 4 y 5 se calculó el capacitor de compensación C_c , y a partir de 3 la resistencia de compensación. Considerando estos valores y los requisitos de diseño dados por los niveles de inversión convenientes para cada bloque del amplificador operacional, se hallaron las

relaciones W/L de cada transistor.

$$\begin{aligned} C_c &= 1,84pF \\ R_c &= 18K\Omega \\ (W/L)_{M_8} &= 2 \\ (W/L)_{M_5} &= 4 \\ (W/L)_{M_7} &= 6 \\ (W/L)_{M_3} &= (W/L)_{M_4} = 1 \\ (W/L)_{M_1} &= (W/L)_{M_2} = 12 \end{aligned}$$

Para evitar el offset sistemático del sistema, se debe cumplir la siguiente relación [1]:

$$\frac{W/L_{M_3,M_4}}{W/L_{M_6}} = \frac{1}{2} \frac{W/L_{M_5}}{W/L_{M_7}}$$

A partir de la ecuación anterior se obtiene la relación de tamaños del transistor M_6 :

$$W/L_{M_6} = 3$$

Para lograr estas relaciones de tamaños se conectaron transistores de tamaño mínimo, para los cuales $W/L = 2$, en serie o paralelo.

IV. SIMULACIONES

Una vez elegidos los tamaños de los transistores, se simuló el diseño completo, con y sin la compensación dada por el capacitor y la resistencia. Se observó un offset no deseado, de 4.8 V, limitando la excursión a la salida; esto se debe a que para obtener un buen offset (2.5 V en este caso) se debe lograr que M_6 y M_7 tengan ambos la misma v_{DS} , esto es difícil de lograr debido a que un leve cambio en v_{GS} ó W/L provoca que el punto de intersección entre las curvas de salida de ambos se mueva de un extremo hacia el otro. Para solucionar este inconveniente, se modificó el ancho del transistor M_6 hasta obtener el offset deseado.

A partir de la respuesta en frecuencia se observó un margen de fase de -60° en el sistema sin compensar (inestable); y un margen de fase de 60° en el sistema compensado con la capacidad y resistencia (estable).

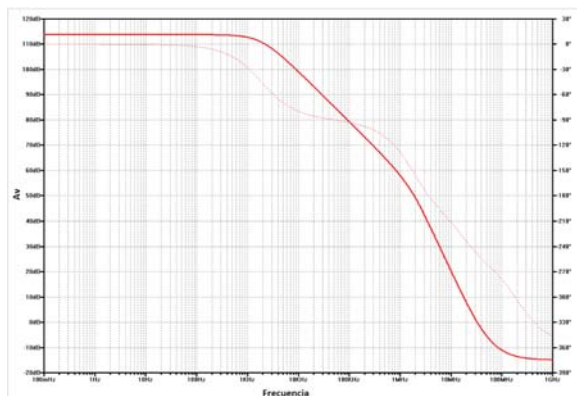


Figura 3. Diagrama de Bode del sistema sin compensar.

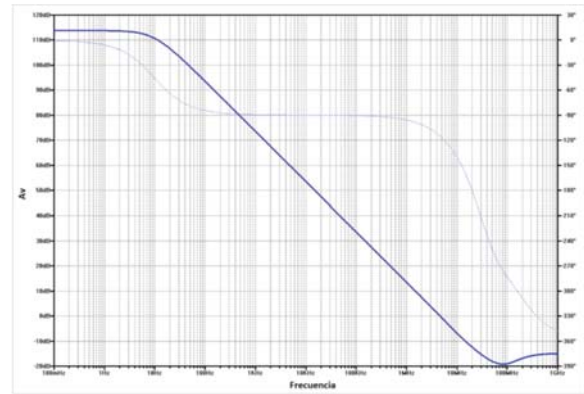


Figura 4. Diagrama de Bode del sistema compensado.

V. LAYOUT

En la Fig. 5 se identifica con distintos números el layout de los bloques:

- 1 - Carga activa.
- 2 - Par diferencial.
- 3 - Capacidad y resistencia de compensación.
- 4 - Espejo de corriente.

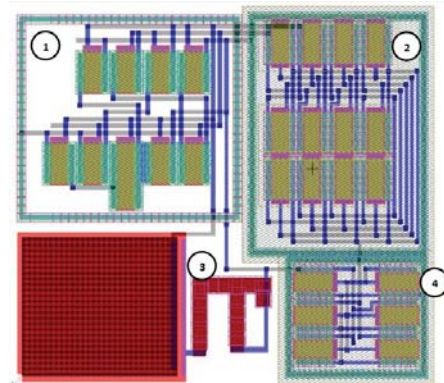


Figura 5. Layout del sistema

VI. CONCLUSIÓN

En este trabajo se presentó el diseño y layout de un amplificador operacional de dos etapas. El diseño se basó en el método G_m/I_d y se realizó en tecnología $AMI C5N 0,5\mu m$ de Mosis. El mismo se realizó como trabajo final de la materia Análisis y Diseño de Circuitos Analógicos II.

REFERENCIAS

- [1] Sedra, Smith, "Microelectronics Circuits", Oxford University Press, 2004.
- [2] E. Vittoz, J. Fellrath, "Cmos analog integrated circuits based on weak inversion operations," IEEE Journal of Solid-State Circuits, vol. 12, no. 3, pp. 224–231, 1977.
- [3] F. Silveira, D. Flandre, P. G. A. Jespers, "A gm/id based methodology for the design of cmos analog circuits and its application to the synthesis of a silicon-on insulator micropower ota," IEEE Journal of Solid-State Circuits, vol. 31, no. 9, pp. 1314–1319, 1996.
- [4] L. Vancaillie, F. Silveira, B. Linares-Barranco, T. Serrano-Gotarredona, D. Flandre, "Mosfet mismatch in weak/moderate inversion: model needs and implications for analog design," in Proc. 29th European Solid-State Circuits Conf. ESSCIRC '03, 2003, pp. 671–674.
- [5] B. Razavi, "Design of Analog CMOS Integrated Circuits", Mc Graw Hill, 2001.