

Diseño de una compuerta digital multipropósito

Bellini Jorge Alberto, Dello Ruso Alejandro Elian, Di Federico Martín, Julián Pedro

Departamento de Ingeniería Eléctrica y de Computadoras
Universidad Nacional del Sur, Bahía Blanca, Argentina
jorge.bellini@gmail.com

Resumen—Este trabajo presenta el diseño de una novedosa compuerta lógica multipropósito, cuya característica principal es que puede implementar una de varias funciones lógicas dependiendo de su configuración de los pines de entrada. Esta compuerta fue diseñada e implementada en una tecnología CMOS de 0,5 μ m. Un circuito implementado con muchas de estas compuertas puede obtener un gran beneficio, dado que se puede cambiar totalmente la funcionalidad del circuito solo con un cambio de las máscaras de metales. Lo que implica un ahorro muy significativo en costo de fabricación.

Palabras claves— circuito digitales CMOS, lógica digital.

I. INTRODUCCIÓN

La mayoría de los sistemas digitales hacen uso de una gran cantidad de compuertas lógicas, las cuales están generalmente diseñadas para realizar una única función.

Este trabajo describe el diseño de una nueva arquitectura digital que tiene la capacidad de realizar diversas funciones lógicas de acuerdo con el conexionado de sus pines de entrada. Las funciones que se pueden implementar son: la de un inversor, NAND, NOR, llave de paso, inversor con salida tres estados o la función lógica $\overline{A+B\cdot C}$.

Los pines de entrada se identifican como: Vu, P1, P2A, P2B, NA1, NB1, NB2, Vd, BulkP y BulkN, y su único pin de salida es Vm.

En este trabajo se plasma el resultado obtenido de las mediciones y simulaciones realizadas, y su caracterización dentro del marco de la materia Análisis y Diseño de Circuitos Digitales impartida en el Departamento de Ingeniería Eléctrica y de Computadoras del Universidad Nacional del Sur.

II. DISEÑO DE LA COMPUERTA MULTIPROPÓSITO

La compuerta diseñada consta de ocho entradas y una salida, y estableciendo diferentes combinaciones entre ellas se puede lograr que se obtengan diversas funciones a la salida.

A. Descripción de funciones

Las funciones que se pueden obtener en esta nueva arquitectura digital son: un inversor, NAND, NOR, llave de paso, inversor con salida tres estados o la función lógica $\overline{A+B\cdot C}$. Estas se describen en la TABLA I, y se pueden implementar tanto en Lógica complementaria como en Lógica de Pre-carga.

Además de las funciones anteriormente mencionadas, esta nueva arquitectura digital multipropósito puede ser empleada para realizar prácticas de medición de las compuertas implementadas y sus transistores N-MOS o P-MOS y la diferencia entre dos en serie (N-MOS) o dos en paralelo (P-MOS); solamente cambiando la configuración de sus pines de entrada.

B. Descripción de los pines

La operación que realiza la compuerta lógica es definida por el significado y el valor que se coloca en los pines de entrada. Las 8 entradas se pueden usar como entradas de señal o como pines de configuración. Para lograr compuertas de una entrada se deben establecer valores en las entradas no utilizadas, de manera de configurar la compuerta para que realice la operación deseada. La Tabla I, muestra un resumen de las diferentes configuraciones posibles para esta compuerta.

La configuración de pines de entrada puede tomar los valores “a”, “b”, “c”, “in”, “ \overline{en} ”, “Vdd”, “Gnd”, con “a”, “b” y “c” se hace referencia a las entradas de la compuerta lógica que se desea implementar, con “in” lo mismo pero en el caso que la compuerta que se desee configurar posea una sola entrada, con “ \overline{en} ” se indica la habilitación de la configuración que se desee implementar, con “Vdd” y “Gnd” que se fija a este valor de voltaje. Los pines de entrada BulkP y BulkN siempre se conectan a “Vdd” y “Gnd”.

TABLA 1. DISTINTAS FUNCIONALIDADES

Funciones	Entradas							
	Vu	P1	P2A	P2B	NA1	NB1	NB2	Vd
Llave de paso	in	/en	Gnd	Vdd	en	Gnd	Gnd	in
Inversor	Vdd	Gnd	in	Vdd	in	Gnd	Gnd	Gnd
NAND	Vdd	Gnd	a	b	Gnd	a	b	Gnd
NOR	Vdd	a	b	Vdd	a	b	Vdd	Gnd
Inversor Z	Vdd	in	Vdd	/en	Gnd	en	in	Gnd
$\overline{(A+B\cdot C)}$	Vdd	a	b	c	a	b	c	Gnd

C. Descripción del Diseño

La compuerta de uso genérico esta conformada por seis transistores CMOS, consta de un transistor P-MOS conectado en serie con dos en paralelo y un N-MOS en paralelo con dos en serie, como se ilustra en el diseño esquemático de la fig. 1.

El diseño de esquemático y simulaciones fueron realizados en LTSpice [1] en su versión 4.18 y su correspondiente diseño de máscara fue realizada con la herramienta Electric VLSI en su versión 8.10 [2], para el proceso ON C5 de mosis [3] de 0.5 μm , con tres capas de metal y dos de polysilicio.

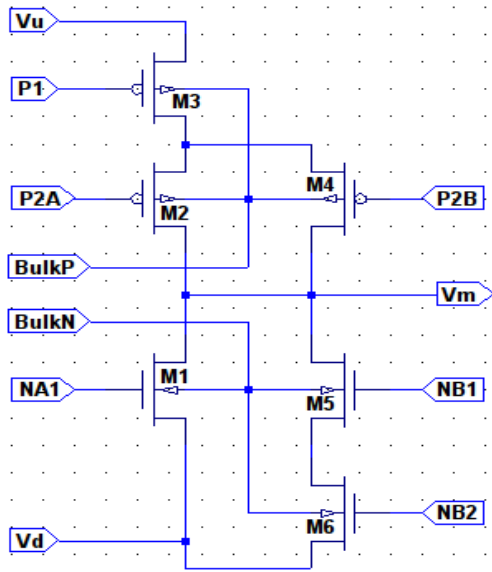


Fig. 1. Esquemático de la Compuerta multipropósito.

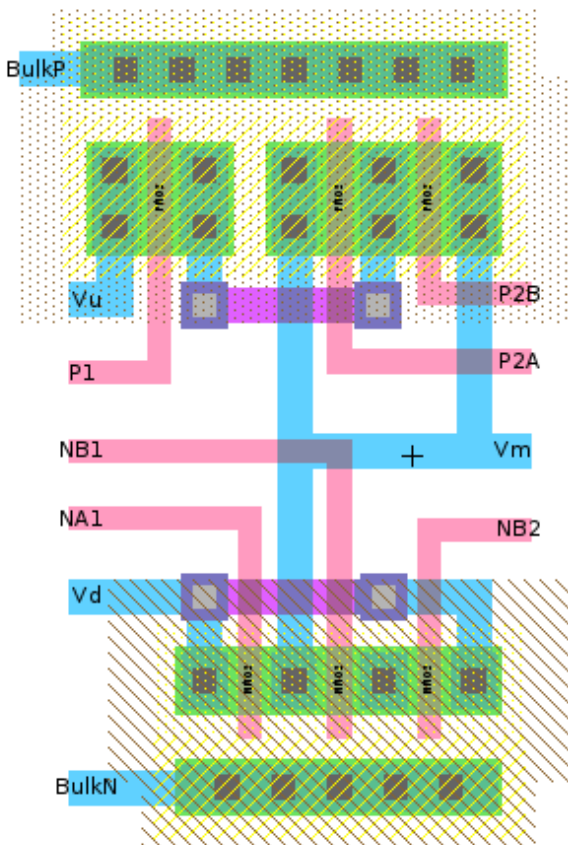


Fig. 2. Máscara de la celda Compuerta multipropósito.

Los transistores poseen un largo de canal (L) de 0.6 μm , y un ancho de canal (W) de 1.8 μm para los N-MOS y de 3 μm para los P-MOS, los seis transistores se dibujaron de tamaño mínimo.

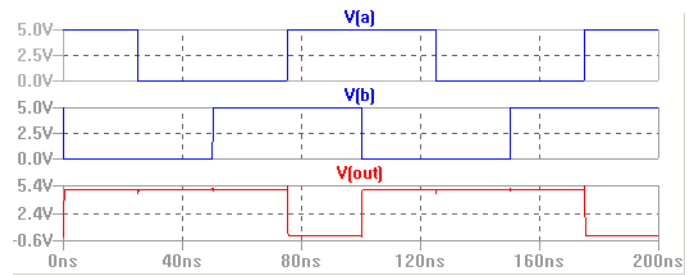


Fig. 3. Simulación función NAND.

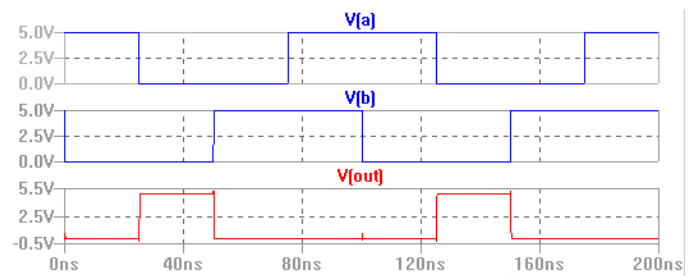


Fig. 4. Simulación función NOR.

III. SIMULACIONES

Durante el diseño se simularon todas las funciones que puede implementar la compuerta de uso genérico para verificar su funcionamiento. A modo de ejemplo en las figuras 3 y 4 se puede observar las simulaciones de las implementaciones de la NAND y NOR respectivamente.

IV. CONCLUSIONES

En este trabajo se presentó la compuerta de uso genérico y su diseño lógico y físico. Además se corroboró el correcto funcionamiento de la totalidad de sus funciones.

Utilizar este tipo de compuertas tiene una ventaja significativa con respecto a las estándares al ser utilizadas en un circuito integrado, dado que se puede cambiar totalmente la funcionalidad del circuito solo con un cambio de las máscaras de metales. Lo implica un ahorro muy significativo en costo de fabricación.

REFERENCIAS

- [1] <http://www.linear.com/designtools/software/>
- [2] <http://www.staticfreesoft.com/index.html>
- [3] <http://www.mosis.com/>