

Unidad Aritmético Lógica de 8 bits

Pablo Gabriel Alvarez, Martín Di Federico, Pedro Julián

Departamento de Ingeniería Eléctrica y de Computadoras,
Universidad Nacional del Sur, Bahía Blanca, Buenos Aires, Argentina.

Resumen – Este artículo presenta el diseño y construcción de una Unidad Aritmético Lógica de 8 bits, este es un circuito totalmente digital que calcula operaciones Lógicas, Aritméticas y realiza diferentes desplazamientos en uno de sus registros.

Palabras claves – alu; vlsi; cmos.

I. INTRODUCCION

La tecnología se hace presente cada vez más en nuestra vida cotidiana, en computadoras, lavarropas, calculadoras, impresoras, etc. La tecnología es la palabra que comprende a todos los dispositivos electrónicos que están compuestos por algún circuito eléctrico, la gran mayoría realiza algún tipo de cálculo, para hacer esto posible muchas veces es necesaria una unidad especializada que realice estos cálculos. La unidad que realiza operaciones aritméticas y lógicas es llamada ALU.

Este trabajo muestra la arquitectura y el diseño de una ALU que cuenta con 8 funciones lógicas, 5 aritméticas y 4 funciones de desplazamiento. Las celdas básicas utilizadas para este diseño, tanto el esquemático como las mascaradas de fabricación fueron creadas especialmente para este propósito, utilizando el paquete de software Tanner EDA. Para este circuito se utilizó lógica CMOS complementaria, una alimentación de 3,3V y todos los transistores son de tamaño mínimo definido por la tecnología. Este circuito fue fabricado en la tecnología ON C5N, ocupa un tamaño de 1590 μm x 1208 μm y consta de 2400 transistores.

El modo de operación de la ALU es el siguiente, dependiendo de cual de las señales se activa, ENA o ENB, se almacenan los 8 bits en el registro A ó B. La operación a realizar depende del valor de la señal SELEC. Por medio de la entrada ENF se habilita la salida de la operación.

Este trabajo está organizado de la siguiente manera: La sección I consiste en una breve introducción del trabajo que se presenta. En la sección II se explican las diferentes funciones que se pueden implementar, la misma se subdivide en operaciones lógicas, aritméticas y desplazamiento.

II. FUNCIONES A IMPLEMENTAR

Esta ALU cuenta con 4 señales de control para seleccionar una de las 16 operaciones posibles. La tabla I muestra las distintas funciones que se pueden realizar en este circuito y la configuración necesaria para llevar a cabo la tarea dependiendo del valor que tenga la señal selec.

TABLA I. Conjunto de funciones

TABLA				ALU
SELEC				Funciones
S0	S1	S2	S3	Lógicas
0	0	0	0	AND
0	0	0	1	OR
0	0	1	0	XOR
0	0	1	1	NAND
0	1	0	0	NOR
0	1	0	1	XNOR
0	1	1	0	Not(A)
				Aritméticas
0	1	1	1	A
1	0	0	0	A+B
1	0	0	1	B-A
1	0	1	0	A-B
1	0	1	1	A^2
				Desplazamiento
1	1	0	0	SHR
1	1	0	1	SR
1	1	1	0	SHL
1	1	1	1	SL

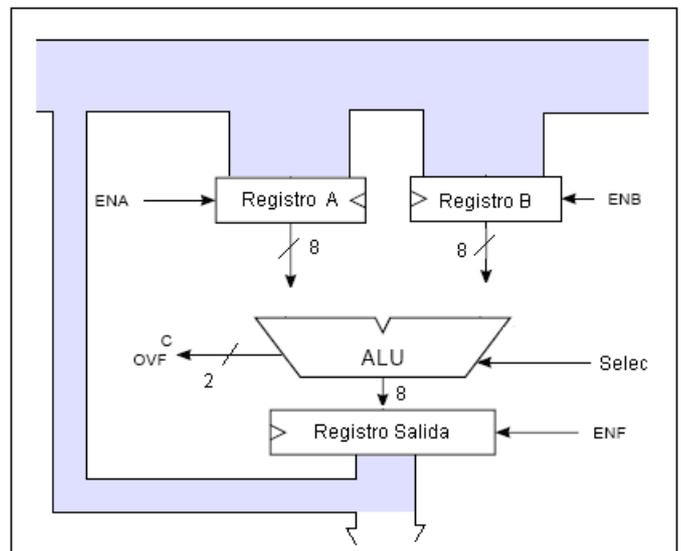


FIGURA 1: DIAGRAMA EN BLOQUES

La Unidad Aritmético Lógica se compone básicamente de dos Registros de Entrada, un Registro de Salida, un Registro de Estado (overflow) y un Registro de control (selec), el cual hace posible la selección de cada una de las operaciones, tal

como se puede observar en la tabla I. Además cuenta con dos señales de habilitación para los registros de entrada “ENA”, “ENB” y una para la salida el registro de salida “ENF”. El diagrama en bloques del circuito, y las señales que lo componen se pueden ver en la Figura 1.

A. FUNCIONES LOGICAS

El bloque que calcula las operaciones lógicas se muestra en la Fig 2. Las entradas son bits de los registros A y B, ambos correspondientes a la misma dirección. Estas dos entradas están conectadas directamente a todas las compuertas lógicas, por este motivo es que se realiza todas las operaciones simultáneamente. Luego, por medio de un multiplexor, se selecciona el resultado a obtener a la salida dependiendo del valor que tenga SELEC. Este bloque se replica ocho veces, una por cada bit.

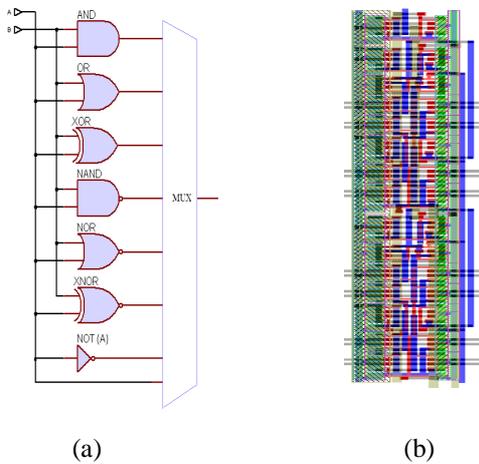


Figura 2: Diagrama de conexión lógica (a); máscara del multiplexor de 16 x4 (b)

Algunas de las simulaciones de las compuertas básicas se pueden observar en la figura 3, donde el eje vertical corresponde al nivel lógico (0 ó 1) y el eje horizontal es el tiempo. La señal superior e intermedia son los bits de los registro de entrada y el inferior es el resultado.

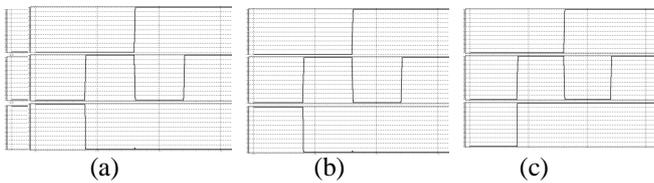


Figura 3: compuerta nand(a), nor (b), or(c).

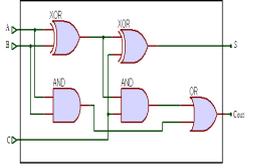
B. FUNCIONES ARITMETICAS

La ALU realiza también operaciones aritméticas entre las que se encuentran la suma y la resta. La resta se puede seleccionar entre (A-B) ó (B-A).

Diseño e Implementacion del Sumador

Los posibles resultados de una suma de dos dígitos con carry se sintetizan en la figura 4. Se tiene en cuenta el carry de entrada Cin.

$$\begin{aligned}
 S &= \bar{a}\bar{b}c + \bar{a}b\bar{c} + a\bar{b}\bar{c} + abc = c(\bar{a}\bar{b} + ab) + \bar{c}(\bar{a}b + a\bar{b}) \\
 &= c(a \oplus b) + \bar{c}(a \oplus b) \\
 &= c \oplus (a \oplus b) \\
 C_0 &= \bar{a}bc + \bar{a}\bar{b}c + a\bar{b}\bar{c} + abc = ab + c(a \oplus b)
 \end{aligned}$$



(a) Ecuaciones (a); Esquemático (b).

Figura 4: Ecuaciones (a); Esquemático (b).

Diseño e Implementacion del Restador

A partir del sumador se construye el restador. Para poder realizar la resta de dos números, a uno de los dos operandos se le calcula el complemento a 2, este número va a ser el negativo; luego se realiza la suma normalmente.

Para obtener el complemento a 2 se invierten todos los bits y luego se suma uno.

Para invertir la señal de una de las entradas se conecta un inversor a cada uno de los bits de la palabra de entrada; luego se le suma uno, colocando un uno en la señal de CARRY IN.

Una vez analizado el sumador y el restador se sintetiza en un solo esquemático, como se puede observar en la figura4.

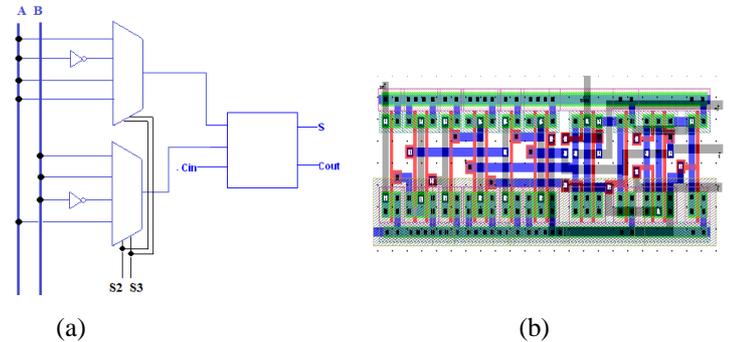


Figura 4: Esquemático del sumador (a); Máscara (b)

Al tener cada celda básica por separado (Lógica y Aritmética), se unifico formando un solo bloque, la máscara correspondiente se puede ver en la figura 5.

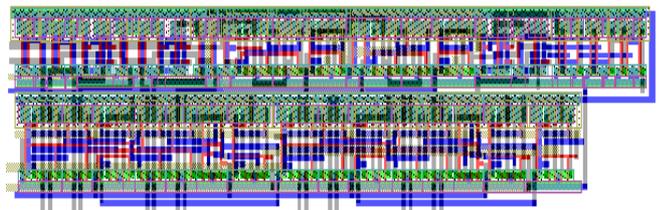


Figura 5

Las dimensiones de las mascararas es de 851µm de largo y 174µm ancho.

C. FUNCION DESPLAZAMIENTO

La función de desplazamiento solo puede ser aplicada a la palabra almacenada en el registro A.

Los desplazamientos que se pueden hacer en esta arquitectura son:

- **SL** Los ocho bits rotan hacia la izquierda, una vez aplicada esta operación el extremo izquierdo va al primer lugar del registro desplazamiento. De esta forma se conservan todos los bits (Figura 6a).

- **SHL** A diferencia del desplazamiento **SL**, en este caso el bit que sale por el extremo izquierdo se elimina, al desplazar la palabra queda una vacante en el extremo derecho, en la que se incorpora un cero (Figura 6b).

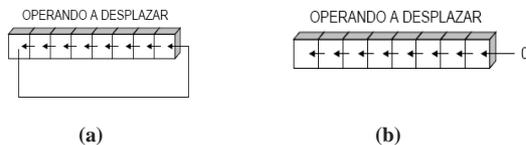


Figura 6: desplazamiento SL (a) y (b) el SHL

- **SR** Es análogo al desplazamiento **SL**, en este caso los bits se rotan hacia la derecha. (Figura 7a).

- **SHR** Es análogo al desplazamiento **SHL**, en este caso los bits se rotan hacia la derecha. (Figura 7b).



Figura 7: desplazamiento SR (a) y (b) el SHR

Para indicar a la unidad aritmética lógica que realice un desplazamiento, se debe cargar en el registro selec los siguientes valores:

- $S0 = 1$ y $S1 = 1$
- Con $S2$ y $S3$ se selecciona el tipo de corrimiento como se muestra en la tabla I.

La implementación de los desplazamientos se realiza conectando los datos del registro "A" en ocho multiplexores diferentes en un determinado orden, en la figura 8 se puede observar la forma de conexionado.

Esta es una forma de hacer los diferentes desplazamientos, ya que de otra forma tendríamos que haber utilizado registros desplazamiento.

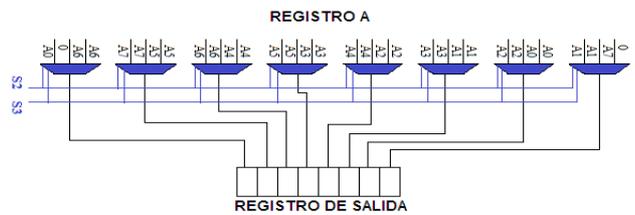


Figura 8

Como resultado final (figura 9) se puede comparar el diseño de la máscara completa con la construcción física.

En la Fig. 9a el recuadro "A" corresponde a los registros de entrada, "B" registro de salida, "C" funciones lógicas y aritméticas y "D" multiplexor de 16x4. La estructura C y D se replica 8 veces.

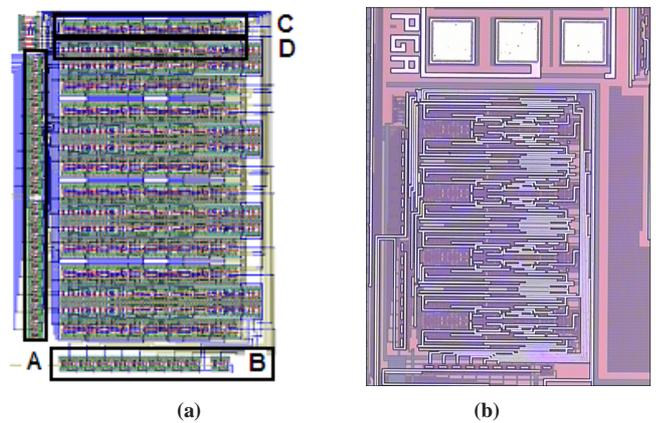


Figura 9: Máscara completa de la ALU, (a) y (b) Foto física.

III. CONCLUSIONES

En el transcurso de este trabajo se pudo terminar de reforzar y relacionar los conceptos teóricos con la práctica. Al terminar de analizar la arquitectura que se utilizaría en la Unidad Aritmético Lógica se comenzó a desarrollar los esquemáticos y sus mascararas. Este diseño se inició desde la unidad mínima, diseñando el transistor PMOS y el NMOS. Una vez que se dimensionaron correctamente los transistores de tamaño mínimo se comenzó a construir el inversor, luego compuertas básicas (nor, nand, xor, ect.) y así se siguió creciendo en complejidad.

Para conectar los diferentes transistores se utilizó metal 1 de forma horizontal y metal 2 vertical.

Para probar el funcionamiento de la ALU se construyó una placa de prueba con el programa Proteus, la rutina de verificación se escribió en Code Vision para un Atmega168, de esta forma se pudo observar el correcto funcionamiento de la Unidad Aritmético Lógica. Esta Unidad Aritmético Lógica se piensa usar en un proyecto futuro que será un Micro de 8bits.

REFERENCIAS

-Thomas Schubert, Jr Ernest Kim, Active Nolinear Electronics, John Wiley and Sons, 1996.

-Sedra y Smith, microelectronics Circuits, oxford University Press, 2004.

-Jan M. Rebaey, anantha Chandrakasan, Borivoje Nikolic, Digital Integrated Circuits – A design perspective, Pearson, 2004.