

DEGRADACIÓN DE ESTRUCTURAS SOI EN AMBIENTES HOSTILES

A. Lozano¹, F. Palumbo^{2,3,4}, L. Malatto¹, G. Gimenez¹, J. Bonaparte²

¹INTI Micro y Nanoelectrónica del Bicentenario

²Comisión Nacional de Energía Atómica (CNEA)

³Consejo Nacional de Investigaciones Científicas y Técnicas (CONICET)

⁴Universidad Tecnológica Nacional, Facultad Regional Buenos Aires (UTN-FRBA)

alex@inti.gov.ar

Introducción

La evolución de la Industria Microelectrónica requiere hoy sustratos de alta calidad y nuevas tecnologías para la fabricación de circuitos integrados. En ese escenario, la tecnología SOI (*Silicon On Insulator*) ha surgido en los últimos años como alternativa a las estructuras MOS (Metal Oxide Semiconductor) convencionales resolviendo gran parte de los problemas y limitaciones dadas por la escalabilidad de los dispositivos CMOS. Dicha tecnología permite a la vez obtener dispositivos más rápidos, de menor consumo y con procesos de fabricación más simples, lo que motiva cada vez más su utilización en nuevas aplicaciones. La tecnología SOI se basa en la utilización de una oblea en la que los dispositivos se encuentran en una delgada capa de silicio en la superficie, aislados completamente del sustrato por medio de una capa de óxido enterrado (BOX: *Buried Oxide*) (Fig.1).



Fig.1: Estructura de una oblea SOI

Dicha aislación elimina muchos de los efectos indeseables introducidos por el sustrato y le da a la vez inmunidad a los efectos transitorios debidos a radiaciones ionizantes (SEE: Single Event Effect). Sin embargo, las radiaciones presentes en ambientes hostiles, tales como el ambiente espacial, pueden generar la acumulación de cargas, que quedan atrapadas en la capa de óxido enterrado, degradando así el funcionamiento de los dispositivos. Este problema, que en tiempos pasados era atribuible solamente al caso particular de aplicaciones espaciales, por las dimensiones de los dispositivos hoy en día debe ser considerado para cualquier aplicación crítica que requiera asegurar su fiabilidad de funcionamiento, aún dentro de la atmósfera terrestre e inclusive a nivel del suelo. En dicho contexto, la caracterización del sustrato SOI, previo a la fabricación de los dispositivos CMOS, permite entender los fenómenos involucrados en los mecanismos de degradación de las estructuras. Dicha información permite luego tenerlos en cuenta

en las etapas de un diseño basado en dicha tecnología para evitar así fallas y defectos de funcionamiento en los dispositivos.

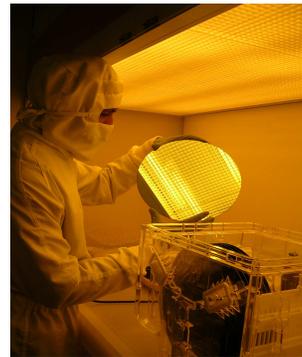


Fig.2: Oblea SOI de 300 mm/12"

Objetivo

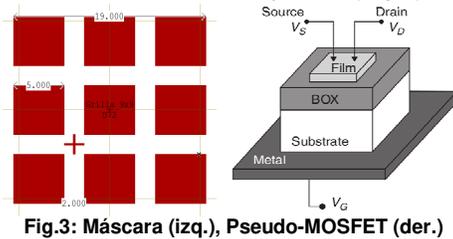
El objetivo de este trabajo es desarrollar y validar las técnicas de caracterización que permitan el estudio y análisis de los mecanismos de degradación de las estructuras que forman parte de la tecnología SOI. Luego, en base a dichas técnicas desarrolladas, determinar los mecanismos de ruptura de los materiales y estructuras características de la tecnología SOI, analizando su comportamiento al someterlos al efecto de radiaciones ionizantes y otros efectos externos. Se trabaja en conjunto con la CNEA y con UTN-FRBA a través del Proyecto PID ASUTIBA0003856TC "Degradación de Tecnología SOI".

Descripción

La caracterización eléctrica de sustratos SOI permite revelar los parámetros de la oblea que tendrán impacto directo en los dispositivos que se fabriquen luego en dicho sustrato. Para ello, la técnica del Pseudo-MOSFET ha sido desarrollada y probada desde hace tiempo con excelentes resultados [1-3]. Esta permite caracterizar la calidad de la delgada capa de silicio y el óxido enterrado en obleas SOI, previo a cualquier etapa del proceso de fabricación CMOS.

Para ello utiliza la estructura MOS intrínseca del SOI: El sustrato actúa como *gate* del transistor, el óxido enterrado como óxido de

gate y dos puntas de contacto en la superficie hacen las veces de *source* y *drain* (Fig.3).



Para su implementación se utiliza un Probador de cuatro puntas marca Jandel (Fig.4), adaptado especialmente para dicha técnica, que permite controlar la presión aplicada a las puntas (0-100 gr) preservando así las delgadas capas de silicio de las obleas SOI. La caracterización eléctrica del Pseudo-MOSFET permite obtener curvas I-V y curvas CV cuyas características son similares a las de un transistor MOS convencional (Fig.5). Dichas curvas se utilizan como características representativas, propias de las estructuras, que permiten evaluar el comportamiento del sustrato antes y después de su degradación. El Banco de mediciones se completa con un Analizador Paramétrico de Semiconductores Keithley SCS4200 para la obtención de las curvas I-V y un medidor de capacidad E4980A de Agilent para las curvas CV (Fig.4).

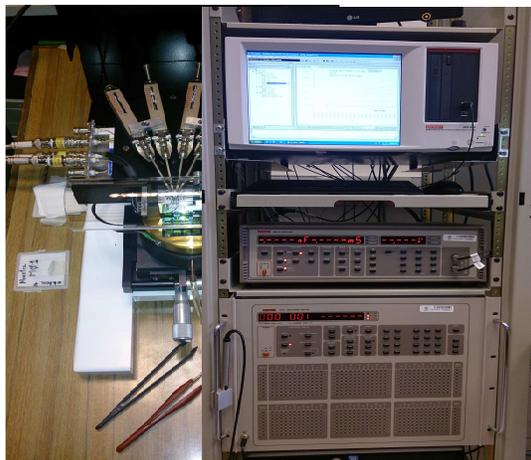


Fig.4: Probador Jandel (izq.), Instrumentación (der.).

Las muestras utilizadas para la técnica Pseudo-MOSFET consisten en pequeños fragmentos obtenidos de la oblea SOI (Fig.2), en los cuales se graban pequeñas islas (5x5 mm) separadas entre sí en la capa superficial de silicio, utilizando una máscara (Fig.3) y procesos de fotolitografía y grabado seco por RIE (Reactive Ion Etching).

Cada isla representa un dispositivo Pseudo-MOSFET que puede ser analizado en forma individual mediante la obtención de sus curvas características I-V y CV.

Resultados

Se implementaron las capacidades de caracterización eléctrica de sustratos SOI mediante la aplicación de la técnica del Pseudo-MOSFET. Para ello se montó un banco de mediciones basado en el Probador Universal de cuatro puntas de Jandel (Fig.4), especialmente adaptado para la aplicación de dicha técnica, y se desarrollaron los protocolos de medición necesarios para la obtención de las curvas características, ajustando y optimizando los parámetros involucrados en dichas mediciones. Se validó el método de medición comparando los resultados obtenidos con los trabajos y publicaciones realizados por los grupos de investigación que desarrollaron la técnica del Pseudo-MOSFET (CEA-LETI) [1-4].

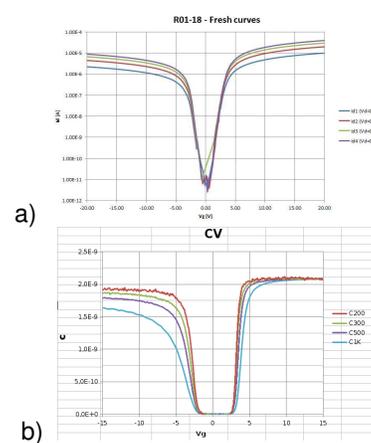


Fig.5: a) Curvas I-V y b) curvas CV obtenidas del Pseudo-MOSFET

Conclusiones

Se ha desarrollado la técnica de caracterización Pseudo-MOSFET y el banco de mediciones, la cual se utiliza actualmente para la evaluación de sustratos SOI de última generación de la empresa SOITEC (Francia). Se trabaja en el análisis de los efectos de radiación ionizante producidos por diferentes fuentes y la degradación de las estructuras por efecto de campos eléctricos externos.

Bibliografía

- [1] S. Cristoloveanu, D. Munteanu, y M. S. T. Liu, «A review of the pseudo-MOS transistor in SOI wafers: operation, parameter extraction, and applications», *IEEE Transactions on Electron Devices*, vol. 47, n.º 5, pp. 1018-1027, may 2000
- [2] S. Cristoloveanu, I. Ionica, A. Diab, y F. Liu, «The Pseudo-MOSFET: Principles and Recent Trends», *ECS Trans.*, vol. 50, n.º 5, pp. 249-258, mar. 2013.
- [3] A. E. hajj Diab, «Novel pseudo-MOSFET methods for the characterization of advanced SOI substrates», PhD Tesis, Université de Grenoble, 2012.
- [4] A. Diab et al., «A new characterization technique for SOI wafers: Split CV in pseudo-MOSFET configuration», *Solid-State Electronics*, vol. 90, pp. 127-133, dic. 2013.